



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0015360  
Application Number

출 원 년 월 일 : 2003년 03월 12일  
Date of Application MAR 12, 2003

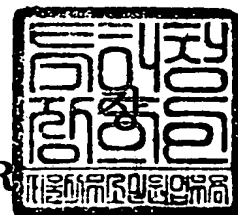
출 원 인 : 삼성에스디아이 주식회사  
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 04 월 04 일

특 허 청

COMMISSIONER





## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0010
【제출일자】	2003.03.12
【국제특허분류】	H01J
【발명의 명칭】	전계방출소자 및 그 제조방법
【발명의 영문명칭】	Field emission device and manufacturing methode thereof
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-050326-4
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-004535-8
【발명자】	
【성명의 국문표기】	이정희
【성명의 영문표기】	LEE, Jeong Hee
【주민등록번호】	640224-2066914
【우편번호】	463-075
【주소】	경기도 성남시 분당구 하탑동 탑마을 경남아파트 713-1002
【국적】	KR
【발명자】	
【성명의 국문표기】	이항우
【성명의 영문표기】	LEE, Hang Woo
【주민등록번호】	690621-1057416
【우편번호】	442-811



**【주소】** 경기도 수원시 팔달구 영통동 964-5 주공아파트 516동 102호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 박상현  
**【성명의 영문표기】** PARK, Shang Hyeun  
**【주민등록번호】** 701202-1462118  
**【우편번호】** 355-020  
**【주소】** 충청남도 보령시 대관동 흥화아파트 4동 110호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 김유종  
**【성명의 영문표기】** KIM, You Jong  
**【주민등록번호】** 721201-1149417  
**【우편번호】** 137-060  
**【주소】** 서울특별시 서초구 방배동 462-7번지  
**【국적】** KR  
**【우선권주장】**  
**【출원국명】** KR  
**【출원종류】** 특허  
**【출원번호】** 10-2002-0081865  
**【출원일자】** 2002.12.20  
**【증명서류】** 첨부  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
이영필 (인) 대리인  
이해영 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 21 면 21,000 원  
**【우선권주장료】** 1 건 26,000 원  
**【심사청구료】** 43 항 1,485,000 원  
**【합계】** 1,561,000 원



1020030015360

출력 일자: 2003/4/7

【첨부서류】

1. 요약서·명세서(도면)\_1통 2.우선권증명서류 및 동 번역  
문\_1통



**【요약서】****【요약】**

전계방출소자에 관해 개시된다. 개시된 소자는:

캐소드 전극 상에 형성되는 게이트 절연층과; 게이트 절연층의 관통공에 대응하는 게이트 홀을 가지는 게이트 전극과; 그리고 게이트 전극 상에 형성되는 전자 에미터를 구비하며, 상기 전자 에미터는 저항성물질로된 저항성물질층과 저항성물질층 상에 형성되는 미세 전자방출원을 함유하는 전자방출물질층에 의한 적층구조를 가진다. 상기과 같은 본 발명에 따르면, 전자방출물질층의 하부에 저항물질층의 존재로 인하여 전도성이 높은 전자방출물질층에 고르게 분포되어 있는 CNT 또는 나노 입자(nano particle) 들의 방출점들까지 전류가 고르게 공급되고 따라서 전체 면적에서의 고른 분포로 전자를 방출할 수 있게 되고 따라서 국부적인 과전류가 방지되고, 결과적으로는 수명이 크게 연장되게 된다.

**【대표도】**

도 2

**【색인어】**

전계, 방출, 저항, 전자



【명세서】

【발명의 명칭】

전계방출소자 및 그 제조방법{Field emission device and manufacturing method thereof}

【도면의 간단한 설명】

도 1 은 종래 전계방출소자의 개략적 단면도이다.

도 2는 본 발명에 따른 전계방출소자의 개략적 단면도이다.

도 3a 내지 도 3c는 본 발명에 따른 전계방출소자의 기초가 되는 기판 구조물의 형성과정의 공정도이다.

도 4a 내지 도 4f는 본 발명의 전계방출소자에 따른 제1실시예로서, 기판 구조물에 전자 방출을 위한 에미터의 형성 과정을 보이는 공정도이다.

도 5a 내지 도 5f는 본 발명의 전계방출소자의 제조방법에 따른 제 2 실시예를 보이는 공정도이다.

도 6a 내지 도 6g는 본 발명의 전계방출소자의 제조방법에 따른 제 3 실시예를 보이는 공정도이다.

도 7a 내지 도 7g는 본 발명의 전계방출소자의 제조방법에 따른 제 4 실시예를 보이는 공정도이다.



**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 전계방출소자 및 그 제조방법에 관한 것으로서, 전자방출 안정성 및 균일성이 향상된 전계방출소자 및 그 제조방법에 관한 것이다.
- <9> 카본나노튜브(CNT)는 작은 직경과 튜브 끝의 날카로움으로 인해 전계 방출이 대단히 낮은 전압에서도 이루어지는 재료로서, C60(fulleren)과 물성이 유사하나 튜브 형태로 우수한 전자방출 특성, 화학적, 기계적 내구성을 가지고 있으며 그 물성 및 응용성이 연구 되어 오고 있는 실정이다. 스피트 타입(Spindt-type) 전계방출소자는 전자가 방출되는 에미터로서의 마이크로 팁을 이용한다. 이러한 마이크로 팁은 전계 방출시 분위기 개스 및 불균일한 전계 등의 영향으로 수명이 단축되는 문제점을 안고 있다. 또한, 전계 방출을 위한 구동전압을 낮추기 위하여는 일함수(work function)가 낮추어져야 하나 기존의 금속 마이크로 팁으로서는 한계가 있다. 이를 극복하기 위한 물질로서 개구율(aspect ratio)이 극히 높고, C60과 유사한 구조를 가져 내구성이 우수하고 전자 전도성이 뛰어난 카본나노 튜브를 전자방출원으로 사용하는 전계방출어레이(field emission array, FEA)가 개발되고 있다.
- <10> 미국특허 6,339,281에는 전자방출물질 혼합 페이스트를 이용한 전계방출어레이 및 제조방법에 관해 개시하며, 미국특허 6,440,761호에는 성장법에 의해 얻어진 CNT를 에미터로 이용하는 전계방출어레이 및 그 제조방법을 개시한다. 일반적으로 에미터를 성장



법에 의해 형성하는 것보다 페이스트를 이용해 형성하는 것이 용이하기 때문에 전자의 방법이 주로 선호된다.

<11> 이러한 종래 방법에 의해 얻어진 CNT 에미터는 캐소드 또는 캐소드 상에 형성되는 고전도성 물질층 상에 형성된다. 도 1은 3극(triode)형 종래 CNT FEA의 전형적인 예를 보이는 도면이다.

<12> 도 1을 참조하면, 기판(1) 상에 캐소드 전극(2) 이 형성되고 그 위에 게이트 절연층(3)이 형성된다. 게이트 절연층(3)에는 관통공(3a)이 형성되어 있고, 그 바닥 부분에 다수의 CNT 로 된 CNT 에미터(5)가 마련되어 있다. CNT 에미터(5)는 관통공(3a) 바닥으로 노출된 캐소드 전극(2) 상에 형성된다. 상기 게이트 절연층(3) 상에는 상기 CNT 에미터(5)로부터 전자를 추출(extract)하는 게이트 홀(4a)을 가지는 게이트 전극(4)이 형성된다.

<13> 이러한 CNT 전계방출어레이의 장점은 마이크로 팁을 이용하는 스피트 타입 에미터와는 달리 에미터 전체로부터 전자방출이 가능하다[라]는 점[이]에 따라서 이로 인해 많은 량의 전자방출이 가능하다. 그러나, 실제적으로는 CNT 에미터의 전체적으로 일어나는 것이 아니라 하나의 CNT 에미터에서 일부 CNT 들에서만 전자방출이 집중적으로 일어난다는 것이다. 이러한 일부 CNT 에 의한 집중적 전자방출은 결국 전자방출 균일성(uniformity)와 전류 밀도를 떨어뜨린다. 전자방출의 균일성 및 전류 밀도는 화상 표시에서의 화면밝기의 정도 및 균일성에 직결된다. 상기 CNT 에미터는 CNT 및 감광성 수지가 포함된 페이스트에 의해 형성된다. 페이스트에는 저항성 물질과 전도성 물질이 함께 섞여 있어서 도 1에 도시된 바와 같이 CNT(5a)의 선단에서 전자가 방출되게 한다. 이때의 문제는 CNT에 공급되는 전류의 경로가 몇 개의 전도성이 좋은 경로로 한정되어 실제



전자방출이 일부 CNT에서만 제한적으로 일어난다는 것이다. 이러한 제한된 CNT로부터 전자방출은 CNT 에미터에서 국부적인 과전류를 발생시키고 결국은 전자 방출이 일어나는 CNT의 급격한 마모 손상 등을 유발한다. 이러한 CNT의 손상은 화상 품질의 격하, 수명단축을 초래한다.

**【발명이 이루고자 하는 기술적 과제】**

<14> 본 발명은 CNT 에미터에서 전반적으로 고른 분포의 전자 방출이 가능하고 양질의 화상을 구현할 수 있는 전계방출어레이 및 그 제조방법을 제공함에 그 목적이 있다.

**【발명의 구성 및 작용】**

<15> 상기의 목적을 달성하기 위하여 본 발명에 따르면,

<16> 기판과;

<17> 상기 기판 상에 형성되는 캐소드 전극과;

<18> 상기 캐소드 전극 상에 형성되는 것으로 상기 캐소드 전극의 일부에 대응하는 관통공을 가지는 게이트 절연층과;

<19> 상기 관통공에 대응하는 게이트 홀을 가지며 상기 게이트 절연층 상에 형성되는 게이트 전극과; 그리고

<20> 상기 관통공의 하부로 노출된 상기 게이트 전극 상에 형성되는 전자 에미터를 구비하며,

<21> 상기 전자 에미터는 저항성물질로된 저항성물질층과 저항성물질층 상에 형성되는 미세 전자방출원을 함유하는 전자방출물질층에 의한 적층구조를 가지는 것을 특징으로 하는 전계방출소자가 제공된다.



- <22> 상기 본 발명의 전계방출소자의 한 실시예에 따르면,
- <23> 상기 전자방출물질층은 카본나노튜브 및 나노파티클 중의 어느 하나를 포함하며,  
상기 전자방출물질층에는 도전성 물질이 포함되어 있다.
- <24> 본 발명의 바람직한 실시예에 따르면, 상기 도전성 물질은 은(Ag)을 포함한다.
- <25> 상기 목적을 달성하기 위하여 본 발명의 한 유형에 따르면,
- <26> 가) 기판에 캐소드 전극이 형성되고, 캐소드 전극 위에는 캐소드 전극을 일부 노출시키는 관통공을 가지는 게이트 절연층 및 상기 관통공에 대응하는 게이트 홀을 가지는 게이트 전극이 순차적으로 적층되어 있는 기판 구조물을 준비하는 단계;
- <27> 나) 상기 기판 구조물에서 상기 관통공의 하부로 노출된 캐소드 전극을 제외하고 기판 구조물의 표면 및 상기 관통공의 내벽에 희생층을 형성하는 단계;
- <28> 다) 상기 기판 구조물의 표면에 저항물질을 소정 두께로 도포하여 상기 관통공을 상기 저항물질로 매립하고 전자방출물질층을 그 상부에 적층 형성하는 단계;
- <29> 라) 게이트 전극의 표면과 상기 관통공의 내벽에 형성된 상기 희생층을 제거하는 에천트에 의한 리프트 오프법에 의해 상기 관통공의 안쪽 영역에 상기 저항물질층 및 그 상부의 전자방출물질층에 의한 전자 에미터를 형성하는 단계;
- <30> 마) 상기 전자 에미터를 소성하는 단계;를 포함하는 것을 특징으로 하는 전계방출 소자의 제조방법이 제공된다.
- <31> 상기 본 발명의 제조방법에 있어서, 상기 저항물질층은 페이스트, 졸겔 및 슬러리 용액 중의 어느 하나로 형성되며, 상기 전자방출물질층은 전도성 물질을 포함하는 것으



로 페이스트, 졸겔 및 슬러리 중의 어느 하나로 형성된다. 상기 전도성 물질은 은(Ag)을 포함하는 것이 바람직하다.

<32> 또한, 본 발명의 바람직한 실시예에 따르면, 상기 전자방출물질층 및 저항물질층에 포토레지스트가 포함되어 있다.

<33> 또한 상기 목적을 달성하기 위하여 본 발명에 따른 제조방법의 다른 유형에 따르면 :

<34> 가) 기판에 캐소드 전극이 형성되고, 캐소드 전극 위에는 캐소드 전극을 일부 노출시키는 관통공을 가지는 게이트 절연층 및 상기 관통공에 대응하는 게이트 홀을 가지는 게이트 전극이 순차적으로 적층되어 있는 기판 구조물을 준비하는 단계;

<35> 나) 상기 기판 구조물에서 상기 관통공의 하부로 노출된 캐소드 전극을 제외하고 기판 구조물의 표면 및 상기 관통공의 내벽의 전체에 희생층을 형성하는 단계;

<36> 다) 상기 희생층 위에 상기 게이트 전극 위에 에미터를 형성하기 위한 전자방출물질과 상기 희생층과의 접촉을 방지하기 위한 격리층을 형성하는 단계;

<37> 라) 상기 희생층이 형성된 기판 구조물의 표면에 전자방출물질을 소정 두께로 도포하여 상기 관통공을 상기 전자방출물질로 매립하는 전자방출물질층 형성단계;

<38> 마) 게이트 전극의 표면과 상기 관통공의 내벽에 형성된 상기 희생층을 제거하는 에천트에 의한 리프트 오프를 실시하여 희생층 위에 형성되는 격리층 및 전자방출물질을 제거하고 상기 관통공의 안쪽 영역에 상기 전자방출물질층에 의한 에미터 형성 단계;

<39> 바) 상기 전자 에미터를 소성하는 단계;를 포함하는 것을 특징으로 하는 전자방출소자의 제조방법이 제공된다.



- <40>        상기 본 발명의 제조방법에 있어서, 상기 전자방출물질층은 전도성 물질을 포함하는 것으로 페이스트, 졸겔 및 슬러리 중의 어느 하나로 형성된다. 상기 전도성 물질은 은(Ag)을 포함하는 것이 바람직하다.
- <41>        또한, 상기 전자방출물질로 카본나노튜브 및 나노파티클 중의 어느 하나를 사용하는 것이 바람직하다. 상기 도전성 물질은 은(Ag)이며, 상기 격리층에 저항성 물질을 포함시키는 것이 더 바람직하다.
- <42>        한편, 상기 격리층은 페이스트, 졸겔 그리고 슬러리용액 중의 어느 하나로 형성하는 것이 바람직하다. 또한, 상기 전자방출물질층은 전도성 물질을 포함하는 것으로 페이스트, 졸겔 그리고 슬러리 중의 어느 하나로 형성하는 것이 바람직하다.
- <43>        또한, 본 발명의 바람직한 실시예에 따르면, 상기 전자방출물질층 및 희생층에 포토레지스트가 포함되어 있다. 그리고 상기 희생층은 포토레지스트이며, 상기 저항물질층은 IPA 회석액(IPA/H<sub>2</sub>O)에 PVA(polyvinyl alcohol)를 함유하는 용액에 저항성물질로는 SiO<sub>2</sub>, MgO, a-Si, p-Si 중의 적어도 어느 하나가 포함되는 것이 바람직하다.
- <44>        이하, 첨부된 도면을 참조하면서 본 발명에 따른 전계방출소자 및 그 제조방법의 바람직한 실시예를 상세히 설명한다.
- <45>        도 2를 참조하면, 기판(10) 상에 캐소드 전극(20)이 형성되어 있고, 그 위에 게이트 절연층(30)이 형성되어 있다. 상기 게이트 절연층(30)에는 후술하는 CNT 에미터가 수용되는 관통공(30a)이 형성되어 있고, 관통공(30a)의 바닥 부분에 전자 방출을 위한 에미터(50)가 마련되어 있다. 에미터(50)는 관통공(30a) 바닥으로 노출된 캐소드 전극(20) 상에 형성된다. 여기에서 본 발명의 특징에 따라 에미터는 하부의 저항물질층(51)과 그



상부의 전자방출물질층(52)에 의한 적층 구조를 갖는다. 한편, 상기 게이트 절연층(30) 상에는 상기 에미터(50)의 전자방출물질층(52)로 부터 전자를 추출(extract)하는 게이트 홀(40a)을 가지는 게이트 전극(40)이 형성되어 있다.

<46>        상기 본 발명의 전자방출물질층(52)은 전계에 의해 전자방출이 가능한 CNT 또는 나노 크기의 파티클 즉 나노 파티클을 포함한다. 또한 보다 효과적인 전류 공급을 위하여 상기 전자방출물질층(52)에는 고전도성의 금속 파티클 예를 들어 은(Ag)이 포함되는 것이 바람직하다.

<47>        이상과 같은 구조를 가지는 본 발명에 따른 전계방출소자에 의하면, 도 2에 도시된 바와 같이, 전자방출물질층(52)의 하부에 저항물질층의 존재로 인하여 은 등의 도전성 입자에 의해 전도성이 높은 전자방출물질층(52)에 고르게 분포되어 있는 CNT 또는 나노 입자(nano particle) 들의 방출점들까지 전류가 고르게 공급되고 따라서 전체 면적에서의 고른 분포로 전자( $e^-$ )를 방출할 수 있게 된다.

<48>        이하 본 발명에 따른 전계방출소자의 제조방법의 제 1 실시예를 설명한다.

<49>        도 3a에 도시된 바와 같이, 소다 라임 글래스(soda lime glass)등으로 된 기판(10)에 캐소드 전극(20)을 형성한다. 캐소드 전극(20)은 증착된 ITO 물질에 의해 형성되며, 이를 포토 리소그래피 법 등에 의해 패터닝된다.

<50>        도 3b에 도시된 바와 같이, 상기 기판(10) 상에 게이트 절연층(30)을 형성한다. 게이트 절연층(30)은 캐소드 전극(20)이 부분적으로 노출되는 관통공(30a)을 갖는다. 이러한 게이트 절연층(30)은 스크린 프린트법 또는 기타의 알려진 여러가지 방법에 의해 형성될 수 있다.



- <51> 도 3c에 도시된 바와 같이, 상기 게이트 절연층(30) 상에 게이트 전극(40)을 형성한다. 게이트 전극(40)은 상기 관통공(30a)에 대응하는 게이트홀(40a)을 가지며, 박막 형성 공정 또는 후막 형성 공정등에 의해 금속 물질의 증착 및 패터닝 또는 금속 페이스트의 스크린 프린팅 등에 의해 형성된다.
- <52> 도 3c에 도시된 바와 같은 기판 구조물을 얻기 위한 도 3a 내지 도 3c에 도시된 바와 같은 공정은 지금까지 잘 알려진 과정으로서 위에서 언급된 방법 외 다른 방법에 의해 형성될 수 있다. 이하의 과정은 상기 과정에 연속되는 것으로 본 발명을 특징지우는 아래의 단계들을 포함한다. 도 4a 내지 도 4f는 이해를 돕기 위하여 하나의 에미터 및 게이트 홀에 대응하는 구조를 발체하여 도시한다.
- <53> 도 4a 에 도시된 바와 같이, 상기 관통공(30a)의 바닥을 제외하고 게이트 전극(40)의 표면 및 관통공(30a)의 내벽에 리프트 오프법을 위한 희생층(60)을 포토레지스트로 형성한다.
- <54> 도 4b에 도시된 바와 같이, 페이스트의 프린팅 또는 졸겔 또는 슬러리 등의 스핀 코팅등에 의해 상기 희생층(60) 위에 포토레지스트가 포함된 저항물질층(51)을 형성한다. 저항물질층(51)은 코팅 과정 중 상기 관통공(30a)의 내부를 매립한다.
- <55> 도 4c에 도시된 바와 같이, 상기 저항물질층(51) 위에 포토레지스트 및 전자 방출이 가능한 물질 예를 들어 CNT 또는 나노 입자를 포함하는 페이스트 상태의 전자방출물질층(52)을 형성한다. 이 페이스트에는 효과적인 전류공급을 위한 도전성 입자 예를 들어 은(Ag)이 포함된다.



- <56> 도 4d에 도시된 바와 같이, 히팅 또는 자외선에 의해 저항물질층(51)과 전자방출물질층(52)을 큐어링(curing)한다.
- <57> 도 4e에 도시된 바와 같이, 에천트를 이용해 상기 희생층을 제거하는 리프트 오프를 실시하여 상기 관통공(30a)의 바닥 중앙에만 저항물질층(51) 및 전자방출물질층(52)에 의한 초기 형태의 에미터(50)를 완성한다.
- <58> 도 4f에 도시된 바와 같이, 소정 온도 하에서 소결(firing) 상기 에미터(50)을 완전히 경화시키면서 수축(收縮)시킴으로써 전자방출물질층(52)이 게이트 홀(40a)의 하부로 낮추어 지게 함으로써 목적하는 전계방출소자를 얻는다.
- <59> 상기와 같이 본 발명의 특징은 에미터가 전류를 제한하는 저항물질층과 전자방출이 일어나는 전자방출물질층에 의한 적층구조를 가진다. 이러한 구조에 따르면 즉, 본 발명에 따른 전계방출소자는 전도성물질과 저항성 물질의 특성을 이용하는 에미터를 갖는다. 이러한 구조에 따르면, 전자방출물질층의 방출점까지의 전류의 공급이 몇 개의 한정된 경로로 공급되던 종래 전계방출소자와는 달리 저항물질층을 전자방출물질층의 하부의 전류경로 상에 마련함으로써 저항물질층을 통과한 전자들이 전도성이 높은 전자방출물질층에 전류가 고르게 공급되어 다수의 방출점까지의 전류 공급을 원활하게 한다.
- <60> 한편, 상기 전자방출물질층(52)과 그 하부의 저항물질층(51)을 리프트 오프에 의해 에미터(50)를 형성한 이후에도 전자방출물질의 일부가 게이트 홀(40a)의 주위에 잔류할 가능성이 있다. 이러한 불필요한 전자방출물질은 에미터(50)와 게이트전극(40)을 전기적으로 쇼트시킬 수 있으므로 제거되어야 한다.



<61> 이러한 전자방출물질의 잔류는 사용되는 저항물질층과 희생층 간의 화학적 결합에 기인될 수 있다. 즉, 전자방출소자 제조시 야기될 수 있는 희생층과 전자방출물질 간의 접촉은 이들 양자간의 반응을 유발시킬 가능성이 매우 높다. 이는 두 물질이 모두 감광성 물질을 포함하는 수지를 이루어져 있기 때문인 것으로 보인다. 희생층의 재료로 사용될 수 있는 수지는 노볼락(Novolac) 계통의 감광성 수지이다. 이 성분의 수지에 대해 강한 용해성을 가지는 용매, 예를 들어 텍사놀(Texanol)가 전자방출물질에 첨가되어 있을 경우 희생층에 대한 용매의 공격이 불가피하다. 즉, 두 층의 접촉으로 용해성이 강한 텍사놀이 희생층의 노볼락 매트릭스(novolac matrix)를 녹여내면 용해된 노볼락 매트릭스 성분이 전자방출물질에 존재하는 아크릭 매트릭스(acrylic matrix)와 혼합되면서 두 매트릭스 간의 강한 결합이 유도된다. 이러한 상태가 된 이후에는 현상액 또는 리프트 오프용 용매를 이용한 에미터의 패터닝이 불가능하다. 따라서, 본 발명의 제조방법의 제2 실시예는 기본적으로 리프트오프시 희생층으로 사용되는 물질과 에미터 형성을 위한 전자방출물질간의 공정 중 접촉을 방지하기 위한 격리층으로서 전술한 저항물질층을 이용하며, 이 저항물질층에 후술하는 비반응성 물질을 포함시킨다.

<62> 이하의 실시예들에서는 이러한 전자방출물질의 잔류를 효과적으로 방지하기 위한 다른 방법들이 설명된다. 본 발명의 제 2 실시예에서도 역시 전술한 도 3a 내지 도 3c에 도시된 바와 같은 공정을 통해 기판 구조물을 먼저 준비한 후 아래와 같은 후속공정을 수행한다.

<63> 도 5a 에 도시된 바와 같이, 상기 관통공(30a)의 바닥을 제외하고 게이트 전극(40)의 표면 및 관통공(30a)의 내벽에 리프트 오프를 위한 희생층(60)을 형성한다. 희생층



(60)은 페이스트를 이용한 스크린 프린트, 졸-겔 또는 슬러리 용액을 이용한 스핀코팅에 의해 형성한 후 소프트 베이킹한다.

<64> 도 5b에 도시된 바와 같이, 상기 희생층(60) 위에 희생층과 그 위에 형성되는 전자 방출물질층 중 적어도 어느 하나와 비반응성을 가지는 저항물질층(51a)을 형성한다. 저항물질층(51a) 역시 희생층(60)과 마찬가지로 페이스트를 이용한 스크린 프린트, 졸-겔 또는 슬러리 용액을 이용한 스핀코팅에 의해 형성한 후 소프트 베이킹한다. 여기에서 상기 저항물질층(51a)을 형성하기 위한 물질은 상기 희생층(60)과 반응성이 없거나 공정상 방해가 되지 않는 정도의 극히 약한 반응성을 가지는 것이 필요하다. 이러한 비반응성은 상기 저항물질층(51a)위에 형성될 전자방출물질에 대해서도 유지되는 것이 바람직하다. 그리고 바람직하게는 상기 저항물질층(51a)에는 전술한 바와 같이 에미터 하부에 대한 저항물질층의 형성을 위해 저항성물질이 포함되어 있는 것이 바람직하며, 또한 감광성 포토레지스트도 함유될 수 있다. 여기에서 사용될 수 있는 저항성물질로는  $\text{SiO}_2$ ,  $\text{MgO}$ , a-Si, p-Si 이 있고, 이들중의 적어도 어느 하나를 포함시킬 수 있다.

<65> 도 5c에 도시된 바와 같이, 포토레지스트 및 전자 방출이 가능한 물질 예를 들어 CNT 또는 나노입자를 포함하는 전자방출물질층(52)을 형성한다. 이 페이스트에는 효과적인 전류공급을 위한 도전성 입자 예를 들어 은(Ag)이 포함되는 것이 바람직하다. 이러한 전자방출물질층(52)은 페이스트를 이용한 스크린 프린트, 졸-겔 또는 슬러리 용액을 이용한 스핀코팅 등에 의해 형성할 수 있다.

<66> 도 5d에 도시된 바와 같이, 가열 또는 자외선에 의해 희생층(60), 저항물질층(51a) 및 전자방출물질층(50)을 큐어링(curing)한다.



- <67> 도 5e에 도시된 바와 같이, 에천트를 이용해 상기 희생층(60)을 제거하는 리프트 오프를 실시하여 상기 관통공(30a)의 바닥 중앙에만 저항물질층(50a) 및 전자방출물질층(52)에 의한 초기 형태의 에미터(50a)를 형성한다.
- <68> 도 5f에 도시된 바와 같이, 소정 온도 하에서 소결(firing) 상기 에미터(50a)을 완전히 경화시키면서 수축(收縮)시킴으로써 에미터(50a)의 상단부가 게이트 홀(40a)의 하부로 낮추어지게 한다. 소결에 의하면 기판 구조물에 형성된 적층에서 열분해성 성분 모두가 제거된다.
- <69> 상기와 같은 본 발명의 제조방법의 제2실시예의 특징은 희생층과 전자방출물질층의 사이에 비반응성 저항성물질층을 개재시킴으로써 포토레지스트가 포함된 희생층과 전자방출물질층 간의 반응을 방지하고 따라서 이들 간의 반응 및 이에 따른 강한 결합을 방지함으로써 에미터 형성을 위한 리프트 오프를 성공적으로 수행할 수 있다. 또한, 저항물질층에 의해 전도성이 높은 전자방출물질층에 전류가 고르게 공급되어 에미터 전체적으로 고른 분포의 전자 방출이 가능하게 된다.
- <70> 상기 제2실시예에서 저항성물질이 희생층과 전자방출물질층과 반응성을 가지지 않으나, 아래의 제3, 제4 실시예에서와 같이 상호반응해서는 안될 적층의 사이에 별도의 격리층을 삽입하는 것에 의해 리프트 오프 후에도 역시 불필요 전자방출물질의 잔류를 방지할 수 있다.
- <71> 이하 본 발명의 전계방출소자의 제조방법에 따른 제3실시예를 단계적으로 설명한다. 본 실시예에서도 역시 전술한 도 3a 내지 도 3c에 도시된 바와 같은 공정을 통해 기판 구조물을 먼저 준비한 후 아래와 같은 후속공정을 수행한다.



<72> 도 6a 에 도시된 바와 같이, 상기 관통공(30a)의 바닥을 제외하고 게이트 전극(40)의 표면 및 관통공(30a)의 내벽에 리프트 오프를 위한 희생층(60)을 형성한다. 희생층(60)은 페이스트를 이용한 스크린 프린트, 졸-겔 또는 슬러리 용액을 이용한 스핀코팅에 의해 형성한 후 소프트 베이킹한다.

<73> 도 6b에 도시된 바와 같이, 상기 희생층(60) 위에 희생층과 그 위에 형성되는 저항물질층(51) 중 적어도 어느 하나와 비반응성을 가지는 격리층(80)을 형성한다. 이 격리층(80)은 페이스트를 이용한 스크린 프린트, 졸-겔 또는 슬러리 용액을 이용한 스핀코팅에 의해 형성한 후 소프트 베이킹한다.

<74> 도 6c에 도시된 바와 같이, 상기 격리층(80) 위에 저항물질층(51)을 형성한다. 저항물질층(51) 역시 페이스트를 이용한 스크린 프린트, 졸-겔 또는 슬러리 용액을 이용한 스핀코팅에 의해 형성한 후 소프트 베이킹한다. 여기에서 상기 저항물질층(51)은 감광성 포토레지스트를 함유될 수 있다. 여기에서 사용될 수 있는 저항성물질로는  $\text{SiO}_2$ ,  $\text{MgO}$ , a-Si, p-Si 이 있고, 이들 중의 적어도 어느 하나를 포함시킬 수 있다.

<75> 도 6d에 도시된 바와 같이, 포토레지스트 및 전자 방출이 가능한 물질 예를 들어 CNT 또는 나노입자를 포함하는 전자방출물질층(52)을 형성한다. 이 페이스트에는 효과적인 전류공급을 위한 도전성 입자 예를 들어 은(Ag)이 포함되는 것이 바람직하다. 이러한 전자방출물질층(52)은 페이스트를 이용한 스크린 프린트, 졸-겔 또는 슬러리 용액을 이용한 스핀코팅 등에 의해 형성할 수 있다.

<76> 도 6e에 도시된 바와 같이, 가열 또는 자외선에 의해 희생층(60), 격리층(80), 저항물질층(51a) 및 전자방출물질층(50)을 큐어링(curing)한다.



- <77> 도 6f에 도시된 바와 같이, 에천트를 이용해 상기 희생층(60)을 제거하는 리프트 오프를 실시하여 상기 관통공(30a)의 바닥 중앙에 격리층(80)과 이 상부에 형성되는 저항물질층(51) 및 전자방출물질층(52)에 의한 초기 형태의 에미터(50)를 형성한다.
- <78> 도 6g에 도시된 바와 같이, 소정 온도 하에서 소결(firing) 상기 에미터(50a)을 완전히 경화시키면서 수축(收縮)시킴으로써 에미터(50a)의 상단부가 게이트 홀(40a)의 하부로 낮추어지게 한다. 소결에 의하면 기판 구조물에 형성된 적층에서 열분해성 성분, 특히 격리층(80)이 제거된다.
- <79> 이하 본 발명의 전계방출소자의 제조방법에 따른 제4실시예를 단계적으로 설명한다. 본 실시예에서도 역시 전술한 도 3a 내지 도 3c에 도시된 바와 같은 공정을 통해 기판 구조물을 먼저 준비한 후 아래와 같은 후속공정을 수행한다.
- <80> 도 7a 에 도시된 바와 같이, 상기 관통공(30a)의 바닥을 제외하고 게이트 전극(40)의 표면 및 관통공(30a)의 내벽에 리프트 오프를 위한 희생층(60)을 형성한다. 희생층(60)은 페이스트를 이용한 스크린 프린트, 졸-겔 또는 슬러리 용액을 이용한 스핀코팅에 의해 형성한 후 소프트 베이킹한다.
- <81> 도 7b에 도시된 바와 같이, 상기 희생층(60) 위에 저항물질층(51)을 형성한다. 저항물질층(51) 역시 페이스트를 이용한 스크린 프린트, 졸-겔 또는 슬러리 용액을 이용한 스핀코팅에 의해 형성한 후 소프트 베이킹한다. 여기에서 상기 저항물질층(51)은 감광성 포토레지스트를 함유될 수 있다. 여기에서 사용될 수 있는 저항성물질로는  $\text{SiO}_2$ ,  $\text{MgO}$ , a-Si, p-Si 이 있고, 이들 중의 적어도 어느 하나를 포함시킬 수 있다.



<82> 도 7c에 도시된 바와 같이, 상기 희생층(60) 위에 희생층과 그 위에 형성되는 저항 물질층(51) 중 적어도 어느 하나와 비반응성을 가지는 격리층(80a)을 형성한다. 이 격리층(80a)은 페이스트를 이용한 스크린 프린트, 졸-겔 또는 슬러리 용액을 이용한 스펀코팅에 의해 형성한 후 소프트 베이크한다.

<83> 도 7d에 도시된 바와 같이, 포토레지스트 및 전자 방출이 가능한 물질 예를 들어 CNT 또는 나노입자를 포함하는 전자방출물질층(52)을 상기 격리층(80a)위에 형성한다. 이 페이스트에는 효과적인 전류공급을 위한 도전성 입자 예를 들어 은(Ag)이 포함되는 것이 바람직하다. 이러한 전자방출물질층(52)은 페이스트를 이용한 스크린 프린트, 졸-겔 또는 슬러리 용액을 이용한 스펀코팅 등에 의해 형성할 수 있다.

<84> 도 7e에 도시된 바와 같이, 가열 또는 자외선에 의해 희생층(60), 격리층(80a), 저항물질층(51a) 및 전자방출물질층(50)을 큐어링(curing)한다.

<85> 도 7f에 도시된 바와 같이, 에천트를 이용해 상기 희생층(60)을 제거하는 리프트 오프를 실시하여 상기 관통공(30a)의 바닥 중앙에 격리층(80)과 이 상부에 형성되는 저항물질층(51) 및 전자방출물질층(52)에 의한 초기 형태의 에미터(50)를 형성한다.

<86> 도 7g에 도시된 바와 같이, 소정 온도 하에서 소결(firing) 상기 에미터(50a)을 완전히 경화시키면서 수축(收縮)시킴으로써 에미터(50a)의 상단부가 게이트 홀(40a)의 하부로 낮추어지게 한다. 소결에 의하면 기판 구조물에 형성된 적층에서 열분해성 성분, 특히 격리층(80)이 제거된다.



**【발명의 효과】**

- <87>       상기와 같은 본 발명에 따르면, 전자방출물질층의 하부에 저항물질층의 존재로 인하여 전도성이 높은 전자방출물질층에 고르게 분포되어 있는 CNT 또는 나노 입자(nano particle) 들의 방출점들까지 전류가 고르게 공급되고 따라서 전체 면적에서의 고른 분포로 전자를 방출할 수 있게 되고 따라서 국부적인 과전류가 방지되고, 결과적으로는 수명이 크게 연장되게 된다.
- <88>       또한, 본 발명에 따르면, 비반응성 물질에 의한 저항물질층의 적용에 의해 높은 전류의 전자방출에 의해 높은 휘도의 전계방출소자를 얻을 수 있다. 또한 비반응성 물질에 의해 리프트오프가 성공적으로 이루어짐으로써 전체적으로 게이트 전극과 에미터 간의 전기적 쇼트가 없고 따라서 결함이 없는 전계방출소자를 얻을 수 있다.
- <89>       본 발명은 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위에 한해서 정해져야 할 것이다.



【특허청구범위】

【청구항 1】

기판과;

상기 기판 상에 형성되는 캐소드 전극과;

상기 캐소드 전극 상에 형성되는 것으로 상기 캐소드 전극의 일부에 대응하는 관통공을 가지는 게이트 절연층과;

상기 관통공에 대응하는 게이트 홀을 가지며 상기 게이트 절연층 상에 형성되는 게이트 전극과; 그리고

상기 관통공 의 하부로 노출된 상기 게이트 전극 상에 형성되는 전자 에미터를 구비하며,

상기 전자 에미터는 저항성물질층과 저항성물질층 상에 형성되는 미세 전자방출원을 함유하는 전자방출물질층에 의한 적층구조를 가지는 것을 특징으로 하는 전계방출소자.

【청구항 2】

제 1 항에 있어서,

상기 전자방출물질층은 카본나노튜브 및 나노파티클 중의 어느 하나를 포함하는 것을 특징으로 하는 전계방출소자.

【청구항 3】

제 1 항에 있어서,



상기 전자방출물질층에는 도전성 물질이 포함되어 있는 것을 특징으로 하는 전계방출소자.

【청구항 4】

제 3 항에 있어서,

상기 도전성 물질은 은(Ag)을 포함하는 것을 특징으로 하는 전계방출소자.

【청구항 5】

제 2 항에 있어서,

상기 전자방출물질층에는 도전성 물질이 포함되어 있는 것을 특징으로 하는 전계방출소자.

【청구항 6】

제 5 항에 있어서,

상기 도전성 물질은 은(Ag)을 포함하는 것을 특징으로 하는 전계방출소자.

【청구항 7】

가) 기판에 캐소드 전극이 형성되고, 캐소드 전극 위에는 캐소드 전극을 일부 노출시키는 관통공을 가지는 게이트 절연층 및 상기 관통공에 대응하는 게이트 홀을 가지는 게이트 전극이 순차적으로 적층되어 있는 기판 구조물을 준비하는 단계;

나 ) 상기 기판 구조물에서 상기 관통공의 하부로 노출된 캐소드 전극을 제외하고 기판 구조물의 표면 및 상기 관통공의 내벽에 희생층을 형성하는 단계;



다) 상기 기판 구조물의 표면에 저항물질을 소정 두께로 도포하여 상기 관통공을 상기 저항물질로 매립하고 전자방출물질층을 그 상부에 적층 형성하는 단계;

라) 게이트 전극의 표면과 상기 관통공의 내벽에 형성된 상기 회생층을 제거하는 에천트에 의한 리프트 오프법에 의해 상기 관통공의 안쪽 영역에 상기 저항물질층 및 그 상부의 전자방출물질층에 의한 전자 에미터를 형성하는 단계 단계;

마) 상기 전자 에미터를 소성하는 단계;를 포함하는 것을 특징으로 하는 전계방출 소자의 제조방법.

#### 【청구항 8】

제 7 항에 있어서,

상기 저항물질층은 페이스트, 졸겔 및 슬러리용액 중의 어느 하나로 형성하는 것을 특징으로 하는 전계방출소자의 제조방법.

#### 【청구항 9】

제 7 항에 있어서,

상기 전자방출물질층은 전도성 물질을 포함하는 것으로 페이스트, 졸겔 및 슬러리 중의 어느 하나로 형성하는 것을 특징을 포함하는 것을 특징으로 하는 전계방출소자의 제조방법.

#### 【청구항 10】

제 9 항에 있어서,

상기 전도성 물질은 은(Ag)인 것을 특징으로 하는 전계방출소자의 제조방법.



**【청구항 11】**

제 7 항에 있어서,

상기 전자방출물질층은 전도성 물질을 포함하는 것으로 페이스트, 졸겔 및 슬러리 중의 어느 하나로 형성하는 것을 특징을 포함하는 것을 특징으로 하는 전계방출소자의 제조방법.

**【청구항 12】**

제 11 항에 있어서,

상기 전도성 물질은 은(Ag)인 것을 특징으로 하는 전계방출소자의 제조방법.

**【청구항 13】**

제 7 항에 있어서,

상기 전자방출물질층 및 저항물질층에 포토레지스트가 포함되어 있는 것을 특징으로 하는 전계방출소자의 제조방법.

**【청구항 14】**

가) 기판에 캐소드 전극이 형성되고, 캐소드 전극 위에는 캐소드 전극을 일부 노출시키는 관통공을 가지는 게이트 절연층 및 상기 관통공에 대응하는 게이트 홀을 가지는 게이트 전극이 순차적으로 적층되어 있는 기판 구조물을 준비하는 단계;

나 ) 상기 기판 구조물에서 상기 관통공의 하부로 노출된 캐소드 전극을 제외하고 기판 구조물의 표면 및 상기 관통공의 내벽의 전체에 희생층을 형성하는 단계;



다) 상기 희생층 위에 상기 게이트 전극 위에 에미터를 형성하기 위한 전자방출물질과 상기 희생층과의 접촉을 방지하고 상기 희생층과 상기 전자방출물질들 중 적어도 어느 하나와 비반응성을 가지는 저항물질층을 형성하는 단계;

라) 상기 희생층이 형성된 기판 구조물의 표면에 전자방출물질을 소정 두께로 도포하여 상기 관통공을 상기 전자방출물질로 매립하는 전자방출물질층의 형성단계;

마) 게이트 전극의 표면과 상기 관통공의 내벽에 형성된 상기 희생층을 제거하는 에천트에 의한 리프트 오프를 실시하여 희생층 위에 형성되는 저항물질층 및 전자방출물질을 제거하고 상기 관통공의 안쪽 영역에 상기 저항물질층 및 전자방출물질층에 의한 에미터를 형성하는 단계;

바) 상기 전자 에미터를 소성하는 단계;를 포함하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 15】

제 14 항에 있어서,

상기 전자방출물질로 카본나노튜브 및 나노입자 중의 어느 하나를 사용하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 16】

제 14 항에 있어서,

상기 전자방출물질층에 도전성 물질을 포함시킨 것을 특징으로 하는 전계방출소자의 제조방법.



**【청구항 17】**

제 16 항에 있어서,

상기 도전성 물질은 은(Ag)을 포함하는 것을 특징으로 하는 전계방출소자의 제조방법.

**【청구항 18】**

제 14 항에 있어서,

상기 저항성물질층은  $\text{SiO}_2$ ,  $\text{MgO}$ , a-Si, p-Si 중의 적어도 어느 하나를 포함하는 것을 특징으로 하는 전계방출소자의 제조방법.

**【청구항 19】**

제 14 항에 있어서,

상기 저항물질층은 페이스트, 졸겔 그리고 슬러리용액 중의 어느 하나로 형성하는 것을 특징으로 하는 전계방출소자의 제조방법.

**【청구항 20】**

제 14 항에 있어서,

상기 전자방출물질층은 전도성 물질을 포함하는 것으로 페이스트, 졸겔 그리고 슬러리 중의 어느 하나로 형성하는 것을 특징으로 하는 전계방출소자의 제조방법.

**【청구항 21】**

제 20 항에 있어서,

상기 전도성 물질은 은(Ag)인 것을 특징으로 하는 전계방출소자의 제조방법.



**【청구항 22】**

제 14 항에 있어서,

상기 전자방출물질층 및 희생층에 포토레지스트가 포함되어 있는 것을 특징으로 하는 전계방출소자의 제조방법.

**【청구항 23】**

제 14 항에 있어서,

상기 저항물질층은 IPA 희석액(IPA/H<sub>2</sub>O)에 PVA(polyvinyl alcohol)를 함유하는 용액에 의해 형성하는 것을 특징으로 하는 전계방출소자의 제조방법.

**【청구항 24】**

가) 기판에 캐소드 전극이 형성되고, 캐소드 전극 위에는 캐소드 전극을 일부 노출시키는 관통공을 가지는 게이트 절연층 및 상기 관통공에 대응하는 게이트 홀을 가지는 게이트 전극이 순차적으로 적층되어 있는 기판 구조물을 준비하는 단계;

나) 상기 기판 구조물에서 상기 관통공의 하부로 노출된 캐소드 전극을 제외하고 기판 구조물의 표면 및 상기 관통공의 내벽의 전체에 희생층을 형성하는 단계;

다) 상기 희생층과 그 위에 형성되는 저항물질층을 상호 격리하고 이들 중 적어도 어느 하나와 비반응성을 가지는 격리층을 형성하는 단계;

라) 상기 격리층 위에 전기적 저항성을 가지는 저항물질층을 형성하는 단계;

마) 상기 격리층이 형성된 기판 구조물의 표면에 전자방출물질을 소정 두께로 도포하여 상기 관통공을 상기 전자방출물질로 매립하는 전자방출물질층의 형성단계;



바) 게이트 전극의 표면과 상기 관통공의 내벽에 형성된 상기 희생층을 제거하는 에천트에 의한 리프트 오프를 실시하여 희생층 위에 형성되는 격리층, 저항물질층 및 전자방출물질을 제거하고 상기 관통공의 안쪽 영역에 상기 저항물질층 및 전자방출물질층에 의한 에미터를 형성하는 단계;

바) 상기 전자 에미터를 소성하는 단계;를 포함하는 것을 특징으로 하는 전계방출소자의 제조방법.

**【청구항 25】**

제 24 항에 있어서,

상기 전자방출물질로 카본나노튜브 및 나노입자 중의 어느 하나를 사용하는 것을 특징으로 하는 전계방출소자의 제조방법.

**【청구항 26】**

제 24 항에 있어서,

상기 전자방출물질층에 도전성 물질을 포함시킨 것을 특징으로 하는 전계방출소자의 제조방법.

**【청구항 27】**

제 26 항에 있어서,

상기 도전성 물질은 은(Ag)을 포함하는 것을 특징으로 하는 전계방출소자의 제조방법.

**【청구항 28】**

제 24 항에 있어서,



상기 저항성물질층은  $\text{SiO}_2$ ,  $\text{MgO}$ , a-Si, p-Si 중의 적어도 어느 하나를 포함하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 29】

제 24 항에 있어서,

상기 저항물질층은 페이스트, 졸겔 그리고 슬러리용액 중의 어느 하나로 형성하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 30】

제 24 항에 있어서,

상기 전자방출물질층은 전도성 물질을 포함하는 것으로 페이스트, 졸겔 그리고 슬러리 중의 어느 하나로 형성하는 것을 특징을 포함하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 31】

제 30 항에 있어서,

상기 전도성 물질은 은(Ag)인 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 32】

제 24 항에 있어서,

상기 전자방출물질층 및 희생층에 포토레지스트가 포함되어 있는 것을 특징으로 하는 전계방출소자의 제조방법.



## 【청구항 33】

제 24 항에 있어서,

상기 격리층은 IPA 희석액(IPA/H<sub>2</sub>O)에 PVA(polyvinyl alcohol)를 함유하는 용액에 의해 형성하는 것을 특징으로 하는 전자방출소자의 제조방법.

## 【청구항 34】

가) 기판에 캐소드 전극이 형성되고, 캐소드 전극 위에는 캐소드 전극을 일부 노출시키는 관통공을 가지는 게이트 절연층 및 상기 관통공에 대응하는 게이트 홀을 가지는 게이트 전극이 순차적으로 적층되어 있는 기판 구조물을 준비하는 단계;

나 ) 상기 기판 구조물에서 상기 관통공의 하부로 노출된 캐소드 전극을 제외하고 기판 구조물의 표면 및 상기 관통공의 내벽의 전체에 희생층을 형성하는 단계;

다) 상기 희생층 위에 전기적 저항성을 가지는 저항물질층을 형성하는 단계;

라 ) 상기 저항물질층과 그 위에 형성되는 전자방출물질층을 상호 격리하고 이들 중 적어도 어느 하나와 비반응성을 가지는 격리층을 형성하는 단계;

마) 상기 격리층이 형성된 기판 구조물의 표면에 전자방출물질을 소정 두께로 도포하여 상기 관통공을 상기 전자방출물질로 매립하는 전자방출물질층의 형성단계;

바 ) 게이트 전극의 표면과 상기 관통공의 내벽에 형성된 상기 희생층을 제거하는 에천트에 의한 리프트 오프를 실시하여 희생층 위에 형성되는 저항물질층, 격리층 및 전자방출물질을 제거하고 상기 관통공의 안쪽 영역에 상기 저항물질층, 및 전자방출물질층을 포함하는 에미터를 형성하는 단계;



바) 상기 전자 에미터를 소성하는 단계;를 포함하는 것을 특징으로 하는 전계방출 소자의 제조방법.

【청구항 35】

제 34 항에 있어서,

상기 전자방출물질로 카본나노튜브 및 나노입자 중의 어느 하나를 사용하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 36】

제 34 항에 있어서,

상기 전자방출물질층에 도전성 물질을 포함시킨 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 37】

제 36 항에 있어서,

상기 도전성 물질은 은(Ag)을 포함하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 38】

제 34 항에 있어서,

상기 저항성물질층은  $\text{SiO}_2$ ,  $\text{MgO}$ , a-Si, p-Si 중의 적어도 어느 하나를 포함하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 39】

제 34 항에 있어서,



상기 저항물질층은 페이스트, 졸겔 그리고 슬러리용액 중의 어느 하나로 형성하는 것을 특징으로 하는 전계방출소자의 제조방법.

**【청구항 40】**

제 34 항에 있어서,

상기 전자방출물질층은 전도성 물질을 포함하는 것으로 페이스트, 졸겔 그리고 슬러리 중의 어느 하나로 형성하는 것을 특징을 포함하는 것을 특징으로 하는 전계방출소자의 제조방법.

**【청구항 41】**

제 40 항에 있어서,

상기 전도성 물질은 은(Ag)인 것을 특징으로 하는 전계방출소자의 제조방법.

**【청구항 42】**

제 34 항에 있어서,

상기 전자방출물질층 및 희생층에 포토레지스트가 포함되어 있는 것을 특징으로 하는 전계방출소자의 제조방법.

**【청구항 43】**

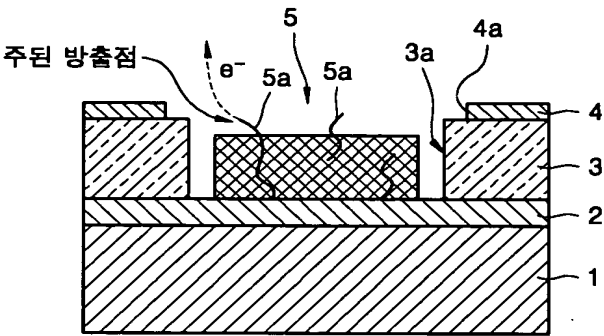
제 34 항에 있어서,

상기 격리층은 IPA 희석액(IPA/H<sub>2</sub>O)에 PVA(polyvinyl alcohol)를 함유하는 용액에 의해 형성하는 것을 특징으로 하는 전계방출소자의 제조방법.

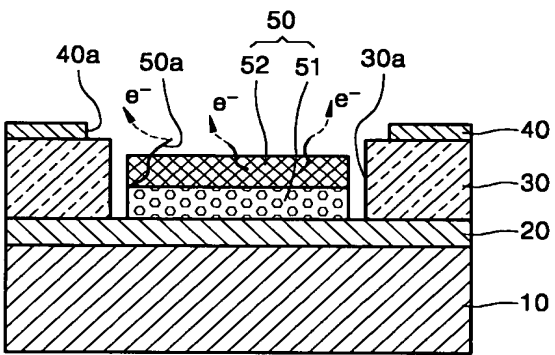


【도면】

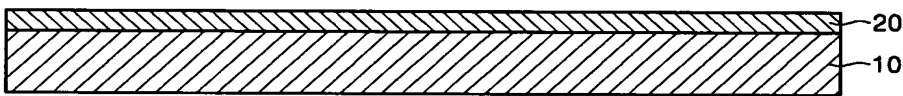
【도 1】



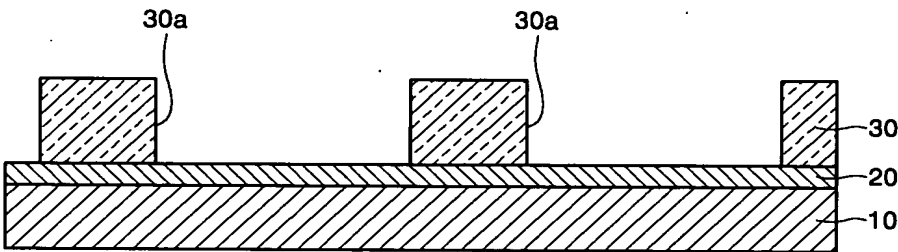
【도 2】



【도 3a】

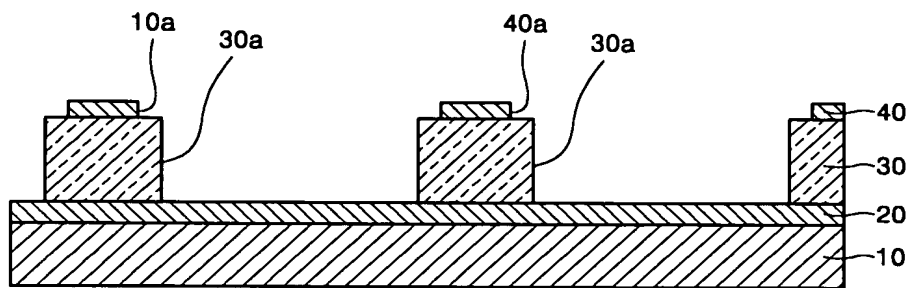


【도 3b】

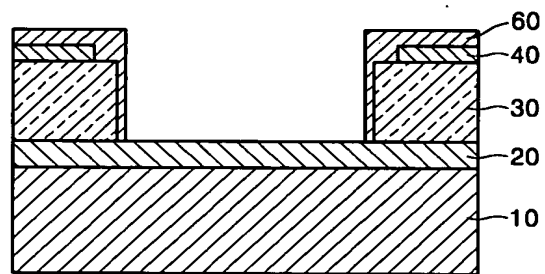




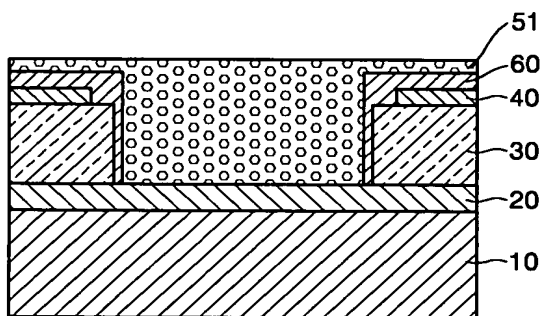
【도 3c】



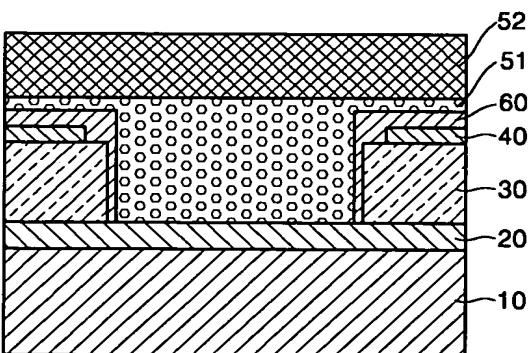
【도 4a】



【도 4b】

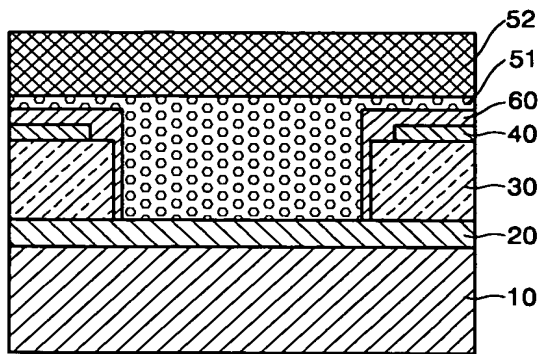


【도 4c】

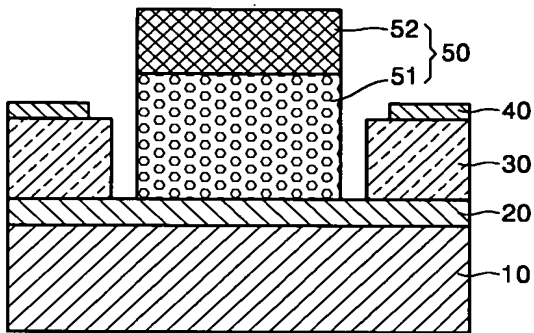




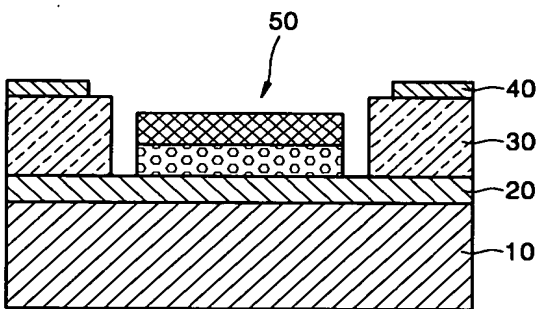
【도 4d】



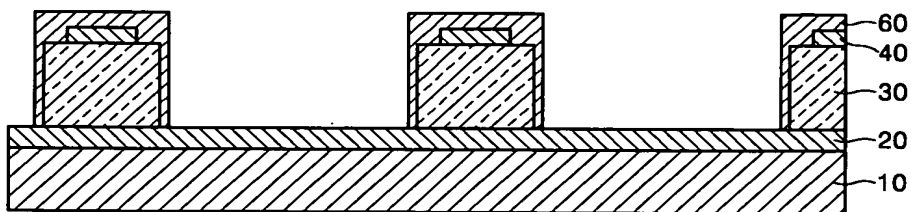
【도 4e】



【도 4f】

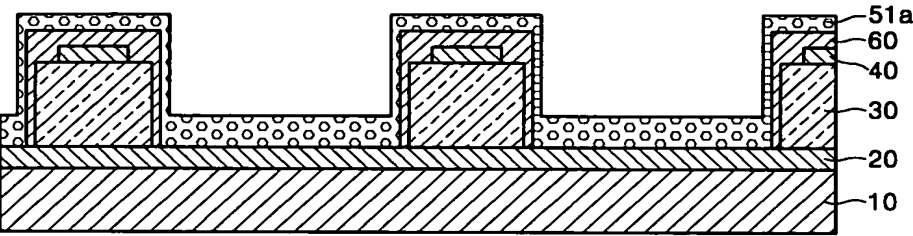


【도 5a】

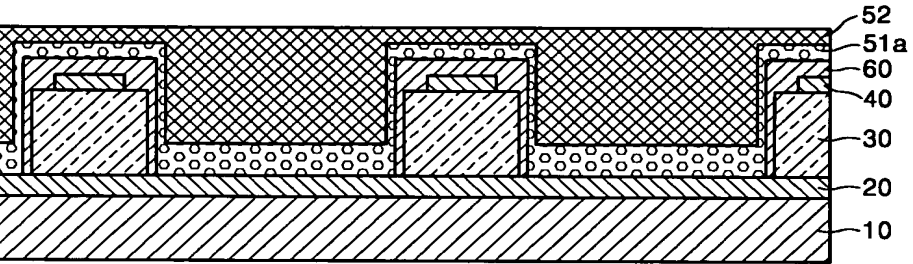




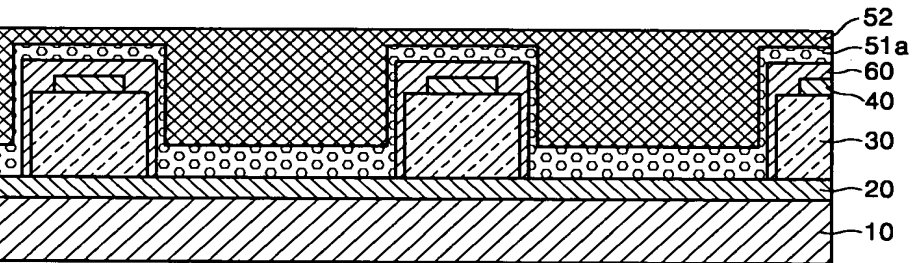
【도 5b】



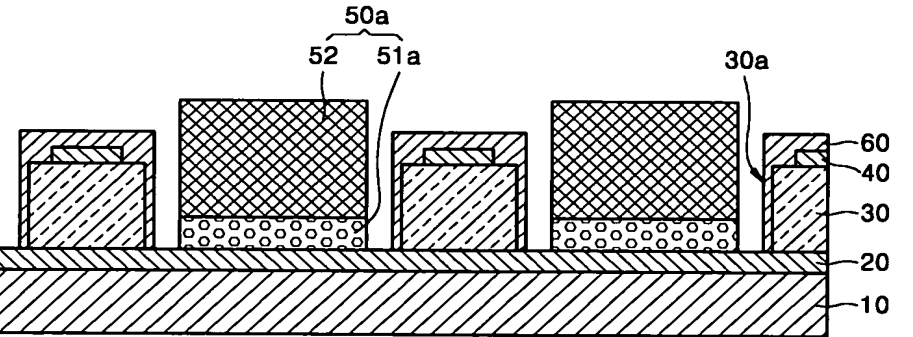
【도 5c】



【도 5d】

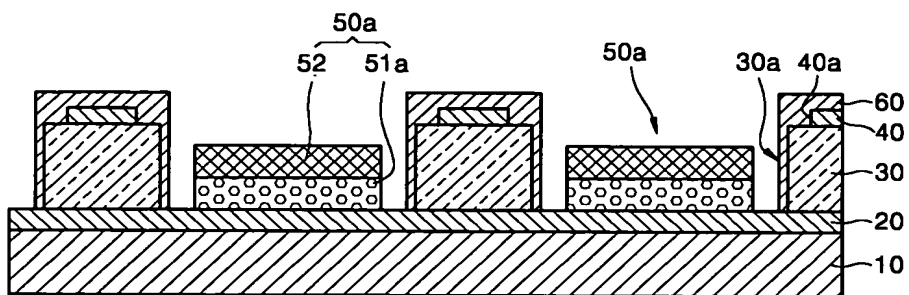


【도 5e】

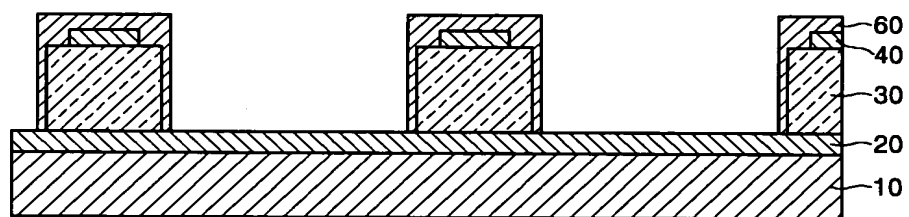




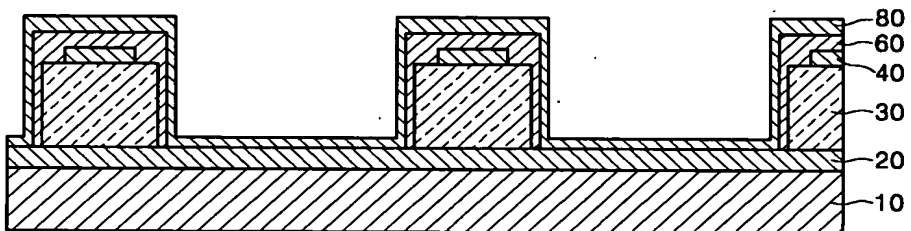
【도 5f】



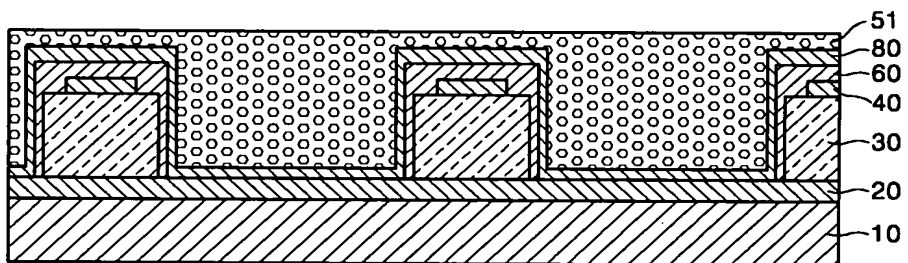
【도 6a】



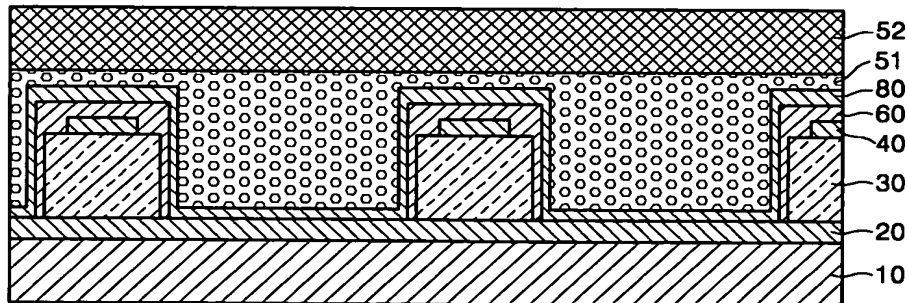
【도 6b】



【도 6c】

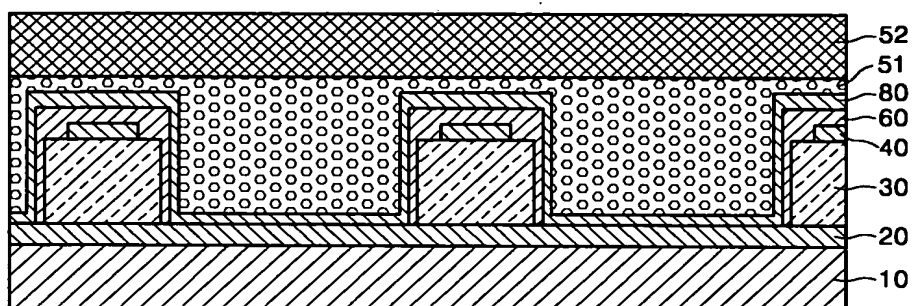


【도 6d】

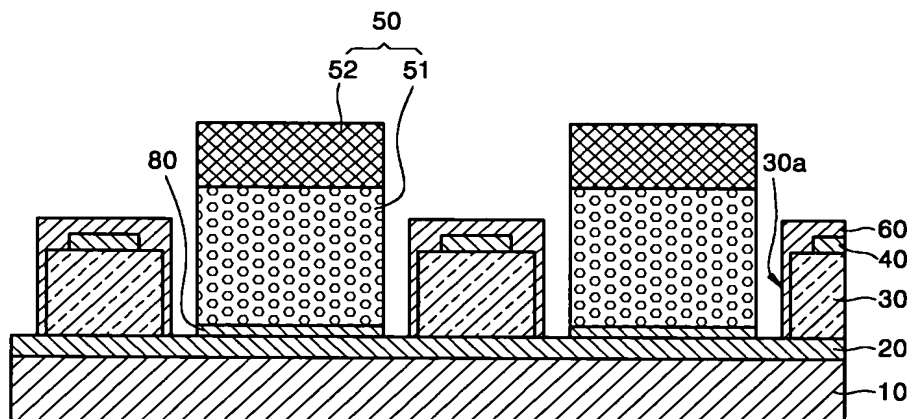




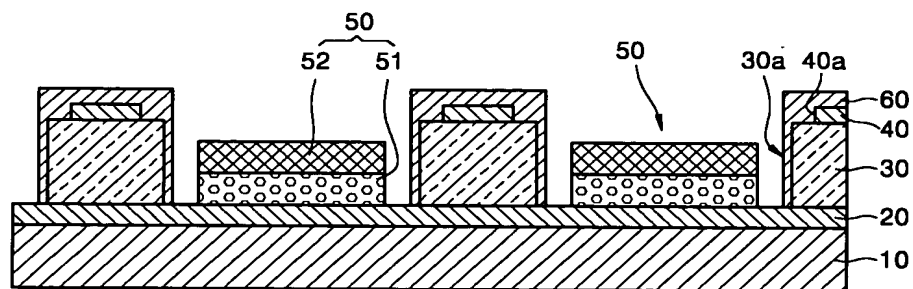
【도 6e】



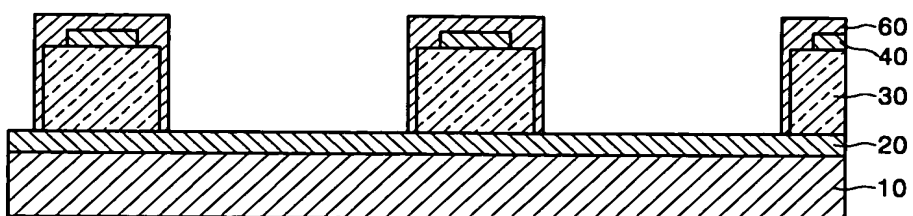
【도 6f】



【도 6g】

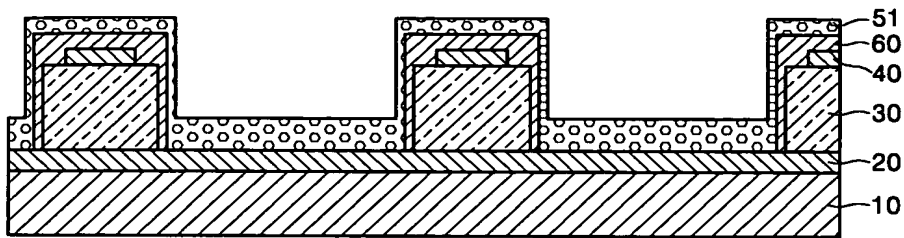


【도 7a】

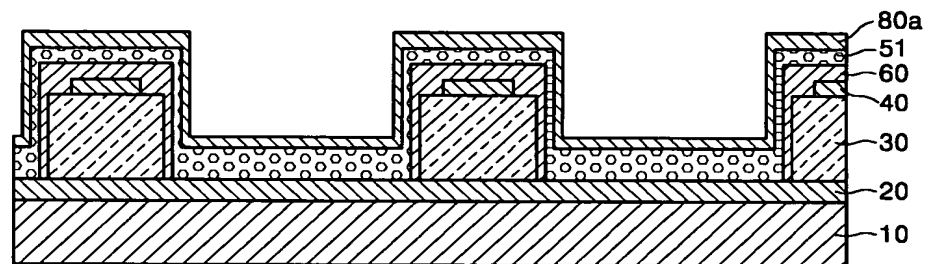




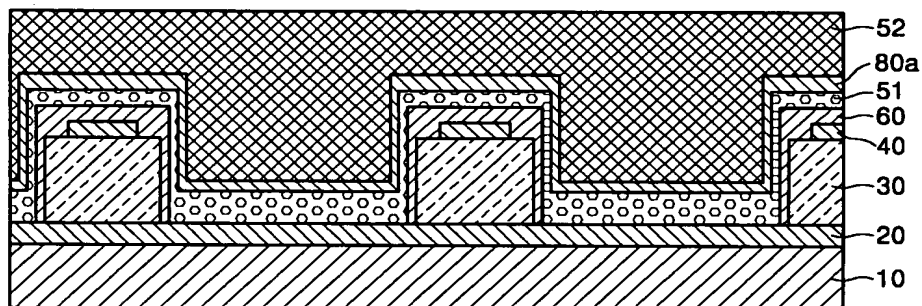
【도 7b】



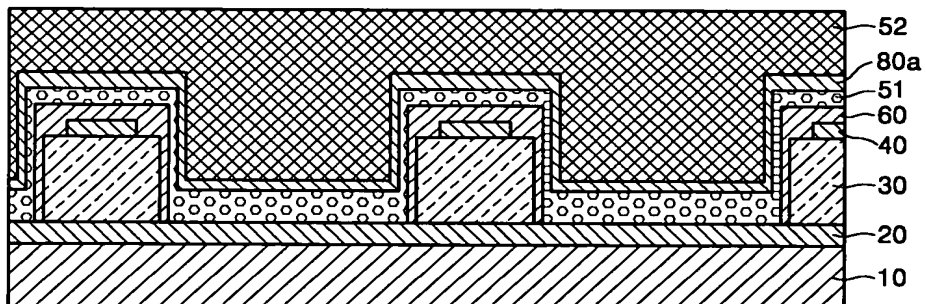
【도 7c】



【도 7d】

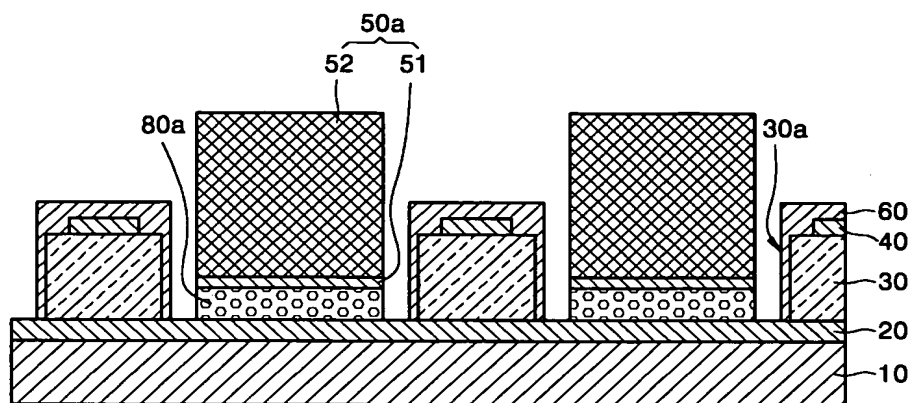


【도 7e】





【도 7f】



【도 7g】

